

Attorney Docket No. 5649-912

2/Priority P
4-19 T. Steptoe
PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

jc997 U.S. PRO
10/050195
01/16/02

In re: Sang-bom Kang et al.
Serial No.: To Be Assigned
Filed: Concurrently Herewith
For: INTEGRATED CIRCUIT DEVICE CONTACT PLUGS HAVING A LINER
LAYER THAT EXERTS COMPRESSIVE STRESS THEREON AND METHODS
OF MANUFACTURING SAME

January 16, 2002

BOX PATENT APPLICATION
Commissioner for Patents
Washington, DC 20231

SUBMITTAL OF PRIORITY DOCUMENT

Sir:

To complete the requirements of 35 USC 119, enclosed is a certified copy of the
following Korean priority application:

2001-2639, filed January 17, 2001.

Respectfully submitted,



D. Scott Moore
Registration No. 42,011



20792

PATENT TRADEMARK OFFICE

Telephone: 919/854-1400
Facsimile: 919/854-1401
Our File No. 5649-912

"Express Mail" mailing label number EL 733099191 US
Date of Deposit: January 16, 2002

I hereby certify that this paper or fee is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 CFR 1-10 on the date indicated above and is addressed to BOX-PATENT-APPLICATION, Commissioner for Patents, Washington, DC 20231



Candi L. Riggs
Date of Signature: January 16, 2002

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 :
Application Number

특허출원 2001년 제 2639 호

출원년월일 :
Date of Application

2001년 01월 17일

출원인 :
Applicant(s)

삼성전자 주식회사



2001 년 03 월 28 일

특 허 청

COMMISSIONER



【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0015
【제출일자】	2001.01.17
【국제특허분류】	H01L
【발명의 명칭】	반도체 소자의 콘택 플러그 및 그 형성 방법
【발명의 영문명칭】	Contact plug of semiconductor device and method of forming the same
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-009556-9
【대리인】	
【성명】	정상빈
【대리인코드】	9-1998-000541-1
【포괄위임등록번호】	1999-009617-5
【발명자】	
【성명의 국문표기】	강상범
【성명의 영문표기】	KANG,Sang Bom
【주민등록번호】	690217-1023717
【우편번호】	137-049
【주소】	서울특별시 서초구 반포본동 반포아파트 15동 202호
【국적】	KR
【발명자】	
【성명의 국문표기】	박성건
【성명의 영문표기】	PARK,Seong Geon
【주민등록번호】	7-11215-1670726
【우편번호】	442-191
【주소】	경기도 수원시 팔달구 우만1동 551-3
【국적】	KR

【발명자】

【성명의 국문표기】 이창원
【성명의 영문표기】 LEE, Chang Won
【주민등록번호】 680703-1004911
【우편번호】 427-040
【주소】 경기도 과천시 별양동 주공아파트 701동 106호
【국적】 KR

【발명자】

【성명의 국문표기】 최길현
【성명의 영문표기】 CHOI, Gil Hyun
【주민등록번호】 661001-1009316
【우편번호】 463-030
【주소】 경기도 성남시 분당구 분당동 셋별마을 우방아파트 302동 602호
【국적】 KR

【심사청구】

청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 이영필 (인) 대리인
 정상빈 (인)

【수수료】

【기본출원료】	20 면	29,000 원
【가산출원료】	7 면	7,000 원
【우선권주장료】	0 건	0 원
【심사청구료】	20 항	749,000 원
【합계】		785,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

압축 응력을 가지는 TiN 라이너를 포함하는 TiN 콘택 플러그 및 그 형성 방법에 관하여 개시한다. 본 발명에 따른 콘택 플러그는 상부 도전층에 접하는 상면을 가지고, 인장 응력을 가지는 TiN 플러그와, 상기 TiN 플러그의 측벽 및 저면에서 상기 TiN 플러그를 포위하도록 상기 TiN 플러그에 접해있고, 압축 응력을 가지는 TiN 라이너와, 상기 TiN 플러그의 반대측에서 상기 TiN 라이너와 접해 있고, 상기 TiN 라이너와 상기 절연막 사이, 및 상기 TiN 라이너와 상기 하부 도전층 사이에 위치되는 Ti 오믹층을 포함한다. 상기 콘택 플러그를 형성하기 위하여, 반도체 기판상에 형성된 절연막을 식각하여 상기 반도체 기판상의 도전 영역을 노출시키는 콘택홀을 한정하는 절연막 패턴을 형성한다. 상기 콘택홀의 내벽을 덮도록 상기 콘택홀이 형성된 결과물상에 오믹층을 형성한다. 상기 오믹층 위에 압축 응력을 가지는 TiN 라이너를 형성한다. 상기 콘택홀이 완전히 채워지도록 상기 TiN 라이너 위에 인장 응력을 가지는 TiN 플러그를 형성한다.

【대표도】

도 1

【색인어】

TiN, 인장 응력, 압축 응력, 비정질 결정 구조

【명세서】**【발명의 명칭】**

반도체 소자의 콘택 플러그 및 그 형성 방법{Contact plug of semiconductor device and method of forming the same}

【도면의 간단한 설명】

도 1은 본 발명의 일 실시예에 따른 콘택 플러그를 도시한 단면도이다.

도 2는 본 발명의 다른 실시예에 따른 콘택 플러그를 도시한 단면도이다.

도 3a 내지 도 3e는 본 발명의 일 실시예에 따른 콘택 플러그 형성 방법을 설명하기 위한 단면도들이다.

도 4a 내지 도 4d는 본 발명의 다른 실시예에 따른 콘택 플러그 형성 방법을 설명하기 위한 단면도들이다.

<도면의 주요 부분에 대한 부호의 설명>

10, 50: 콘택 플러그, 12, 40: 반도체 기판, 14, 54: Ti 오믹층, 16, 56: TiN 라이너, 18, 58: TiN 플러그, 18b: 저면, 18s: 측벽, 18t: 상면, 22: 절연막, 32: 상부 배선층, 80: 커패시터, 82: 하부 전극, 100, 200: 반도체 기판, 102, 202: 도전 영역, 110: 절연막 패턴, 120, 220: 오믹층, 122, 222: TiN 라이너, 124, 224: TiN막, 124a, 224a: TiN 플러그, 130, 230: 콘택 플러그, 210: 제1 절연막 패턴, 210a: 제2 절연막 패턴, 210b: 평탄화된 제2 절연막 패턴, 210t: 상면.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <7> 본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로, 특히 TiN으로 이루어지는 콘택 플러그 및 그 형성 방법에 관한 것이다.
- <8> 반도체 소자가 고집적화됨에 따라, 반도체 소자의 다층 배선 형성을 위한 콘택 플러그의 사이즈가 점차 감소되고, 금속 배선층의 선폭도 점차 작아지고 있다. 따라서, 반도체 소자의 높은 수율, 빠른 동작 속도 및 높은 신뢰성을 얻기 위하여는 저저항의 금속을 이용한 콘택 플러그 형성 공정이 요구된다.
- <9> 저저항의 금속을 이용한 콘택 플러그 형성 공정으로서 텅스텐(W) 플러그를 형성하는 방법이 제안되었다. W 플러그를 형성하는 공정에서는 오믹층 및 배리어막으로서 Ti/TiN막을 형성하는 것이 필수적으로 요구된다. 그러나, 콘택 플러그의 CD(critical dimension)가 점차 감소함에 따라, 콘택 플러그를 형성하기 위하여 Ti/TiN/W의 3가지 층을 형성하여야 하고 또 이들을 에치백(etch back)해야 하는 일련의 복잡한 공정들을 개선할 필요가 있다. 또한, 콘택 플러그를 W 플러그로 형성하고, 금속 배선층을 W층으로 형성하는 경우, 금속 배선층 형성을 위한 건식 식각 공정시 식각 공정중에 상기 W 플러그가 노출되면 오버에칭에 의하여 상기 W 플러그의 일부 또는 전부가 없어져버리는 문제가 있다. 이와 같은 현상은 금속 배선층의 선폭이 좁아질 수록 더욱 빈번하게 발생된다.
- ~~따라서, 금속 배선층을 구성하는 물질과 다른 물질로 이루어지는 콘택 플러그를 형성할 필요가 있다.~~

<10> 또한, 반도체 메모리 소자의 커패시터 하부 전극을 반도체 기판의 활성 영역과 전기적으로 연결시키기 위한 배리드 콘택(buried contact)을 구성하는 콘택 플러그를 형성하는 경우에는 주로 폴리실리콘을 사용하여 상기 콘택 플러그를 형성한다. 그런데, 그 위에 MIM(metal-insulator-metal) 구조의 커패시터를 채용하는 경우에는, 콘택 플러그를 구성하는 폴리실리콘과, MIM 구조의 커패시터 하부 전극을 구성하는 금속이 접촉하게 된다. 이 상태에서 유전막 형성에 필요한 열처리를 하게 되면 상기 콘택 플러그를 구성하는 폴리실리콘이 산화되어 콘택 플러그의 상부에 부도체인 SiO_2 가 형성되는 문제가 있다. 따라서, 배리드 콘택을 구성하기 위한 콘택 플러그는 내산화성을 가지는 재료로 형성할 필요가 있다.

<11> 상기와 같은 문제들을 해결하기 위하여, 최근에는 TiCl_4 및 NH_3 전구체를 사용하는 CVD 공정에 의하여 형성된 TiN막 (이하, 'CVD-TiN막'이라 함)으로 콘택 플러그를 구성하는 방법이 제안되었다. CVD-TiN막은 스텝 커버리지(step coverage)가 우수하여 아스펙트 비(aspect ratio)가 큰 콘택 플러그를 형성하는 데에도 유리하게 적용될 수 있는 이점이 있다. 그러나, CVD-TiN막은 높은 인장 응력을 가지고 있어서 50 nm 이상의 두께로 증착하면 상기 CVD-TiN막 뿐 만 아니라 그 주위의 층간절연막에까지 크랙(crack)이 심하게 발생하는 문제가 있다. 콘택 플러그를 CVD-TiN막으로 완전히 채우기 위하여, 형성하고자 하는 콘택 플러그 CD의 1/2 이상의 두께로 TiN을 증착하여야 한다. 예를 들면, 200 nm의 CD를 가지는 TiN 플러그를 형성하기 위하여 TiN을 100 nm 이상의 두께로 증착하여야 한다. 그러나, CVD-TiN막의 두께가 50 nm 이상이 되면 이미 크랙이 발생되기 때문에 콘택 플러그의 CD가 100 nm 이상인 경우에는 콘택 플러그를 형성하는 데 CVD-TiN막을 적용하는 것이 어렵게 된다.

【발명이 이루고자 하는 기술적 과제】

<12> 본 발명의 목적은 상기한 종래 기술에서의 문제점들을 해결하고자 하는 것으로, 형성하고자 하는 콘택 플러그의 CD 크기에 관계 없이, TiN으로 이루어지면서 크랙이 발생될 염려가 없는 구조를 가지는 반도체 소자의 콘택 플러그를 제공하는 것이다.

<13> 본 발명의 다른 목적은 TiN으로 이루어지는 콘택 플러그를 형성하는 데 있어서, TiN 플러그 뿐 만 아니라 주위의 막질들에서도 크랙이 발생하는 것을 방지할 수 있는 반도체 소자의 콘택 플러그 형성 방법을 제공하는 것이다.

【발명의 구성 및 작용】

<14> 상기 목적을 달성하기 위하여, 본 발명에 따른 반도체 소자의 콘택 플러그는 하부 도전층과 상부 도전층을 전기적으로 연결시키기 위하여 이들 사이에 개재된 절연막을 관통하여 형성된다. 상기 콘택 플러그는 상기 상부 도전층에 접하는 상면을 가지고, 인장 응력(tensile stress)을 가지는 TiN 플러그와, 상기 TiN 플러그의 측벽 및 저면에서 상기 TiN 플러그를 포위하도록 상기 TiN 플러그에 접해있고, 압축 응력(compressive stress)을 가지는 TiN 라이너와, 상기 TiN 플러그의 반대측에서 상기 TiN 라이너와 접해있고, 상기 TiN 라이너와 상기 절연막 사이, 및 상기 TiN 라이너와 상기 하부 도전층 사이에 위치되는 Ti 오믹층을 포함한다.

<15> 상기 TiN 플러그는 CVD(chemical vapor deposition), ALD(atomic layer deposition), MOCVD(metal organic CVD), 또는 MOALD(metal organic ALD) 방법으로 형성된 TiN막으로 이루어질 수 있다.

<16> 상기 TiN 라이너는 IPVD(ionized physical vapor deposition), MOCVD, MOALD, 스

퍼터링, 또는 콜리메이터 스퍼터링(collimator sputtering) 방법으로 형성된 TiN막으로 이루어질 수 있다.

<17> 바람직하게는, 상기 TiN 라이너는 비정질 결정 구조를 가진다. 이와 같이 비정질 결정 구조를 가지는 상기 TiN 라이너를 형성하기 위하여 IPVD 방법을 이용하여 TiN막을 형성할 수 있다.

<18> 상기 TiN 플러그는 상기 TiN 라이너에 접해 있는 저면을 가지고, 상기 TiN 플러그의 상면은 상기 저면의 폭과 같거나 또는 상기 저면의 폭 보다 더 큰 폭을 가진다.

<19> 상기 상부 도전층은 W, Al, Pt, Ru, Ir 등의 금속, TiN, TaN, WN 등의 전도성 금속 질화물, 또는 RuO₂, IrO₂ 등의 전도성 금속 산화물로 이루어지는 단일막, 또는 이들의 복합막으로 이루어질 수 있으며, 상기 상부 도전층은 금속 배선층 또는 커패시터의 하부 전극을 구성할 수 있다.

<20> 상기 다른 목적을 달성하기 위하여, 본 발명에 따른 반도체 소자의 콘택 플러그 형성 방법에서는, 반도체 기판상에 형성된 절연막을 식각하여 상기 반도체 기판상의 도전 영역을 노출시키는 콘택홀을 한정하는 절연막 패턴을 형성한다. 상기 콘택홀의 내벽을 덮도록 상기 콘택홀이 형성된 결과물상에 오믹층(ohmic layer)을 형성한다. 상기 오믹층 위에 압축 응력을 가지는 TiN 라이너를 형성한다. 상기 콘택홀이 완전히 채워지도록 상기 TiN 라이너 위에 인장 응력을 가지는 TiN 플러그를 형성한다.

<21> 상기 오믹층은 PECVD(plasma enhanced CVD), 콜리메이터 스퍼터링, IPVD, 또는 PVD 방법에 의하여 형성된 Ti막으로 이루어질 수 있다.

<22> 상기 TiN 플러그를 형성하는 단계에서는 상기 콘택홀을 완전히 채우도록 상기 TiN

라이너 위에 인장 응력을 가지는 TiN막을 형성한다. 그 후, 상기 절연막 패턴이 노출되도록 상기 TiN막이 형성된 결과물을 평탄화한다.

<23> 상기 콘택홀은 상기 콘택홀에서 상기 도전 영역이 노출되는 저부의 폭과 상기 콘택홀의 입구의 폭이 실질적으로 동일한 치수를 가지도록 형성될 수 있다. 또는, 상기 콘택홀은 상기 콘택홀에서 상기 도전 영역이 노출되는 저부의 폭보다 상기 콘택홀의 입구의 폭이 더 큰 치수를 가지도록 형성될 수 있다. 이를 위하여, 상기 절연막 패턴 형성 단계에서는 일단 상기 도전 영역을 노출시키도록 상기 절연막을 이방성 식각하여 제1 폭의 입구를 가지는 제1 홀을 한정하는 제1 절연막 패턴을 형성한다. 그 후, 상기 제1 절연막 패턴중 상기 제1 홀의 입구 근방 부분을 등방성 식각하여 상기 제1 폭보다 큰 제2 폭의 입구를 가지는 상기 콘택홀을 한정하는 제2 절연막 패턴을 형성한다.

<24> 본 발명에 의하면, TiN으로 이루어지는 콘택 플러그를 형성하기 위하여, 압축 응력을 가지는 상기 TiN 라이너를 미리 형성한 후에 스텝 커버리지가 우수한 증착 방법으로 인장 응력을 가지는 TiN 플러그를 형성하므로, 콘택 플러그 형성을 위하여 증착되는 TiN 막 및 그 주위의 층간절연막에서 크랙이 발생하는 것을 효과적으로 방지할 수 있다.

<25> 다음에, 본 발명의 일 실시예에 대하여 첨부 도면을 참조하여 상세히 설명한다.

<26> 다음에 예시하는 실시예들은 여러가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 다음에 상술하는 실시예에 한정되는 것은 아니다. 본 발명의 실시예는 당 업계에서 평균적인 지식을 가진 자에게 본 발명을 보다 완전하게 설명하기 위하여 제공되어지는 것이다. 첨부 도면에서 막 또는 영역들의 크기 또는 두께는 명세서의 명확성을 위하여 과장되어진 것이다. 또한, 어떤 막이 다른 막 또는 기판의 '위'에 있다라고 기재된 경우, 상기 어떤 막이 상기 다른 막의 위에 직접 존재할 수도 있고, 그 사이에 제3의 다른

막이 개재될 수도 있다.

<27> 도 1는 본 발명의 일 실시예에 따른 반도체 소자의 콘택 플러그(10)를 도시한 단면도이다.

<28> 도 1을 참조하면, 본 발명의 일 실시예에 따른 콘택 플러그(10)는 다층 배선 구조를 형성할 수 있도록 반도체 기판(12)상의 도전 영역(도시 생략)과 상부의 금속 배선층(32), 예를 들면 W 배선층 또는 Al 배선층을 전기적으로 연결시키기 위하여 상기 도전 영역과 상기 금속 배선층(32) 사이에 개재된 절연막(22)을 관통하여 형성되어 있다.

<29> 상기 콘택 플러그(10)는 인장 응력(tensile stress)을 가지는 TiN 플러그(18)와, 압축 응력(compressive stress)을 가지는 TiN 라이너(16)를 포함하고 있다. 상기 TiN 라이너(16)와 상기 절연막(22) 사이, 및 상기 TiN 라이너(16)와 상기 반도체 기판(12)의 도전 영역 사이에는 Ti 오믹층(14)이 형성되어 있다.

<30> 상기 TiN 플러그(18)의 상면(18t)은 상기 상부 배선층(32)에 접해 있고, 상기 TiN 플러그(18)의 측벽(18s) 및 저면(18b)은 상기 TiN 라이너(16)와 접해 있다. 즉, 상기 TiN 라이너(16)는 상기 TiN 플러그(18)의 측벽(18s) 및 저면(18b)을 포위하는 구조를 가지고 있다. 상기 TiN 플러그(18)는 그 상면(18t)의 폭과 저면(18b)의 폭이 대략 동일한 크기를 가지도록 구성될 수도 있고, 상기 상면(18t)의 폭이 상기 저면(18b)의 폭보다 더 크게 되도록 구성될 수도 있다. 이에 대하여는 후술한다. 상기 Ti 오믹층(14)은 상기 TiN 플러그(18)의 반대측에서 상기 TiN 라이너(16)와 접해 있다.

~~<31> 인장 응력을 가지는 상기 TiN 플러그(18)는 CVD(chemical vapor deposition),~~

ALD(atomic layer deposition), MOCVD(metal organic CVD), 또는 MOALD(metal organic

ALD) 방법으로 형성된 TiN막으로 구성될 수 있다.

<32> 압축 응력을 가지는 상기 TiN 라이너(16)는 IPVD(ionized physical vapor deposition), MOCVD, MOALD, 스퍼터링, 또는 콜리메이터 스퍼터링(collimator sputtering) 방법으로 형성된 TiN막으로 구성될 수 있다.

<33> 상기 TiN 라이너(16)는 인장 응력을 가지는 상기 TiN 플러그(18)의 큰 인장 응력을 완충시킴으로써 상기 콘택 플러그(10) 및 그 주위의 절연막(22)에 크랙(crack)이 발생하는 것을 방지하기 위하여 형성된 것이다. 상기 TiN 라이너(16)는 비정질 결정 구조를 가지는 것이 바람직하다. 비정질 결정 구조를 가지는 상기 TiN 라이너(16)를 형성하는데 보다 적절한 증착 방법은 IPVD 방법이다. MOCVD 또는 MOALD 방법에 의하여 얻어지는 TiN막은 증착 공정시 적용되는 공정 가스 유량, 증착 온도 등과 같은 공정 변수에 따라서 인장 응력을 가질 수도 있고 압축 응력을 가질 수도 있다. 따라서, 상기와 같은 공정 변수를 적절히 조절함으로써 인장 응력 또는 압축 응력을 가지는 TiN막이 형성될 수 있다.

<34> 도 2는 본 발명의 다른 실시예에 따른 반도체 소자의 콘택 플러그(50)를 도시한 단면도이다.

<35> 도 2를 참조하면, 본 발명의 다른 실시예에 따른 콘택 플러그(50)는 반도체 메모리 소자의 커패시터(80)를 구성하는 하부 전극(82)을 반도체 기판(40)상의 활성 영역(도시 생략)에 전기적으로 연결시키기 위한 배리드 콘택을 구성한다. 상기 커패시터(80)가 MIM 구조를 채용하는 경우, 상기 하부 전극(82)은 W, Pt, Ru, Ir 등의 금속, TiN, TaN, WN 등의 전도성 금속 질화물, 또는 RuO₂, IrO₂ 등의 전도성 금속 산화물로 이루어지는 단일 막, 또는 이들의 복합막으로 이루어질 수 있다.

- <36> 상기 콘택 플러그(50)를 구성하는 TiN 플러그(58), TiN 라이너(56) 및 Ti 오믹층(54)은 도 1을 참조하여 설명한 TiN 플러그(18), TiN 라이너(16) 및 Ti 오믹층(14)과 동일한 구성을 갖는다. 상기 콘택 플러그(50)의 구성에 대한 상세한 사항은 도 1을 참조하여 설명한 상기 콘택 플러그(10)에 관한 구성과 동일하게 적용되므로 여기서는 상세한 설명은 생략한다.
- <37> 도 3a 내지 도 3e는 본 발명의 일 실시예에 따른 반도체 소자의 콘택 플러그 형성 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.
- <38> 도 3a를 참조하면, 반도체 기판(100)상에 형성된 절연막을 식각하여 상기 반도체 기판(100)상의 도전 영역(102)을 노출시키는 콘택홀(H1)을 한정하는 절연막 패턴(110)을 형성한다.
- <39> 도 3b를 참조하면, 상기 콘택홀(H1)의 내벽을 덮도록 상기 결과물 전면에 오믹층(120)을 약 70 ~ 100Å의 두께로 형성한다. 상기 오믹층(120)은 PECVD(plasma enhanced CVD), 콜리메이터 스퍼터링, IPVD, 또는 PVD 방법에 의하여 형성된 Ti막으로 이루어질 수 있다.
- <40> 도 3c를 참조하면, 상기 오믹층(120) 위에 압축 응력을 가지는 TiN 라이너(122)를 약 200 ~ 500Å의 두께로 형성한다. 압축 응력을 가지는 상기 TiN 라이너(122)는 IPVD, MOCVD, MOALD, 스퍼터링, 또는 콜리메이터 스퍼터링 방법에 의하여 TiN을 증착함으로써 형성할 수 있다. 또한, 상기 TiN 라이너(122)를 형성하기 위하여 IPVD 방법으로 TiN을 증착하면 비정질 결정 구조를 가지는 상기 TiN 라이너(122)를 얻을 수 있다.
- <41> 도 3d를 참조하면, 상기 TiN 라이너(122)가 형성된 결과물상에 인장 응력을 가지는

TiN막(124)을 상기 콘택홀(H1)이 완전히 채워질 정도의 두께로 형성한다. 인장 응력을 가지는 상기 TiN막(124)은 CVD, ALD, MOCVD, 또는 MOALD 방법에 의하여 TiN을 증착함으로써 형성할 수 있다. 이들 방법으로 형성된 TiN막(124)은 우수한 스텝 커버리지를 나타내므로 상기 콘택홀(H1) 매립 특성이 우수하다.

<42> 상기 TiN막(124)을 CVD 또는 ALD 방법으로 형성하기 위하여 $TiCl_4$ 및 NH_3 전구체를 사용하여 TiN을 증착하는 방법을 이용할 수 있다. 상기 TiN막(124)을 MOCVD 또는 MOALD 방법으로 형성하기 위하여 TDMAT(tetrakis di-methyl amido titanium), TDEAT(tetrakis di-ethyl amido titanium)와 같은 전구체를 NH_3 또는 H_2 와 함께 사용하여 TiN을 증착하는 방법을 이용할 수 있다.

<43> 통상적으로, CVD 또는 ALD 방법에 의하여 얻어진 TiN막은 인장 응력이 커서 그 증착 두께가 50 nm 이상으로 되면 크랙이 발생하는 것으로 알려져 있다. MOCVD 또는 MOALD 방법에 의하여 얻어진 TiN막도 증착 공정시 적용되는 공정 가스 유량, 증착 온도 등과 같은 공정 변수를 적절히 조절함으로써 인장 응력을 가지게 될 수 있다. 상기 TiN막(124)이 인장 응력을 가지도록 형성되었어도 상기 TiN막(124)을 형성하기 전에 도 3c를 참조하여 설명한 바와 같이 압축 응력을 가지는 상기 TiN 라이너(122)를 미리 형성하였으므로, 전체적으로 응력이 감소되는 효과가 있다. 특히, 상기 TiN 라이너(122)를 IPVD 방법으로 형성한 경우에는 상기 TiN 라이너(122)가 비정질 결정 구조를 가지게 된다. 따라서, 비정질 결정 구조를 가지는 상기 TiN 라이너(122) 위에 증착되는 TiN도 그 미세 구조 및 결정 방향이 바뀌게 된다. 따라서, 상기 TiN 라이너(122) 위에 형성되는 상기 TiN막(124)의 미세 구조 및 결정 방향이 상기 TiN 라이너(122)에 의하여 영향을 받게 된다. 그 결과, 상기 TiN 라이너(122) 위에 인장 응력이 큰 상기 TiN막(124)을 형성하여도

전체적으로 응력이 감소된다. 따라서, 상기 TiN막(124) 또는 상기 절연막(110)에서의 크랙 발생을 방지하는 효과를 얻을 수 있다.

<44> 한편, 금속유기물(metallo-organics)을 사용하는 MOCVD 또는 MOALD 방법으로 형성된 TiN막은 응력이 10^9 오더(order) 정도로 비교적 작으며, 공정 변수를 조절함에 따라서 압축 응력 또는 인장 응력을 가지는 TiN막을 얻을 수 있다. 따라서, 상기 콘택홀(H1) 내에 상기 오믹층(120)을 형성한 후, 상기 TiN 라이너(122) 및 TiN막(124)을 각각 MOCVD 또는 MOALD 방법으로 형성하여도 원하는 응력 특성을 가지는 TiN막을 얻을 수 있다.

<45> 도 3e를 참조하면, CMP(chemical mechanical polishing) 또는 에치백(etchback)에 의하여 상기 결과물을 평탄화하여, 상기 절연막 패턴(110)을 노출시키고, 상기 콘택홀(H1)의 내부에는 상기 오믹층(120), TiN 라이너(122) 및 TiN 플러그(124a)로 구성되는 콘택 플러그(130)를 형성한다.

<46> 도 3a 내지 도 3e를 참조하여 설명한 실시예에서, 상기 TiN 라이너(122)를 형성하기 위한 하나의 방법으로서 IPVD 방법을 이용한다. IPVD 방법에 의하여 형성되는 TiN막의 스텝 커버리지는 비교적 나쁜 것으로 알려져 있다. 따라서, 이와 같은 방법으로 형성된 TiN 라이너를 콘택홀 내에 형성하면, 그 콘택홀을 완전히 매립한 후 얻어진 콘택 플러그 내에 보이드(void)가 형성될 가능성이 있다. 이를 방지하기 위한 방법을 다음에 설명한다.

<47> 도 4a 내지 도 4d는 본 발명의 다른 실시예에 따른 반도체 소자의 콘택 플러그 형성 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

<48> 도 4a를 참조하면, 반도체 기판(200)상에 형성된 절연막을 이방성 식각하여 상기

반도체 기판(200)상의 도전 영역(202)을 노출시키는 제1 홀(204)을 한정하는 제1 절연막 패턴(210)을 형성한다. 이 때, 상기 제1 홀(204)의 입구는 상기 도전 영역(202)이 노출되는 저부의 폭(W_B)과 동일한 제1 폭(W_{I1})의 치수를 가진다.

<49> 도 4b를 참조하면, 입구 폭이 큰 콘택홀을 형성하기 위하여 상기 제1 절연막 패턴(210)중 상기 입구 근방 부분을 등방성 식각하여, 상기 제1 폭(W_{I1}) 보다 큰 제2 폭(W_{I2})의 입구를 가지는 콘택홀(H2)을 한정하는 제2 절연막 패턴(210a)을 형성한다. 상기 등방성 식각을 위하여 포토레지스트 패턴을 식각 마스크로 이용하는 습식 식각 방법을 이용할 수 있다. 또는, RF 플라즈마를 이용한 전면 건식 식각 방법을 이용하는 것도 가능하다.

<50> 도 4c를 참조하면, 도 3b 내지 도 3d를 참조하여 설명한 바와 같은 방법으로 상기 콘택홀(H2)이 형성된 결과물상에 오믹층(220), 압축 응력을 가지는 TiN 라이너(222), 및 인장 응력을 가지는 TiN막(224)을 형성한다. 이 때, 입구의 폭이 큰 상기 콘택홀(H2) 내에 상기 오믹층(220), TiN 라이너(222) 및 TiN막(224)을 형성하므로 상기 콘택홀(H2) 내에는 보이드가 형성될 염려가 없다. 또한, 압축 응력을 가지는 상기 TiN 라이너(222)를 형성하였으므로, 상기 TiN막(224) 형성시 큰 인장 응력으로 인하여 상기 TiN막(224) 또는 상기 제2 절연막 패턴(210a)에서 크랙이 발생하는 것을 방지할 수 있다.

<51> 도 4d를 참조하면, CMP 또는 에치백에 의하여 상기 결과물을 평탄화하여, 평탄화된 제2 절연막 패턴(210b)의 상면(210t)을 노출시키고, 상기 콘택홀(H2)의 내부에는 오믹층(220), TiN 라이너(222) 및 TiN 플러그(224a)로 구성되는 콘택 플러그(230)를 형성한다. 그 결과, 크랙 및 보이드를 발생시키지 않는 상기 콘택 플러그(230)가 얻어진다.

<52> 표 1은 본 발명에 따른 콘택 플러그를 형성하는 데 사용될 수 있는 여러 종류의

TiN막의 응력을 평가한 실험 결과이다. 표 1의 결과를 얻기 위하여, 복수개의 실리콘 기판상에 각각 다양한 증착 방법으로 TiN막을 1000Å의 두께로 형성한 후, 얻어진 각각의 TiN막의 응력을 측정하였다.

<53> 【표 1】

TiN막 형성을 위한 증착 방법	응력 (dyne/cm ²)
스퍼터링 방법	-1.6E10 (압축 응력)
콜리메이터 스퍼터링 방법	-2.5E10 (압축 응력)
IPVD (SIP)	-3.3E10 (압축 응력)
IPVD (IMP)	-4.3E10 (압축 응력)
CVD	+1E10 ~ +3E10 (인장 응력)
ALD	+1E10 ~ +3E10 (인장 응력)

<54> 표 1에서, 'IPVD (SIP)'는 SIP(self-ionized plasma) 방식의 IPVD 방법을 의미하고, 'IPVD (IMP)'는 IMP(ionized metal plasma) 방식의 IPVD 방법을 의미한다. 표 1의 결과에서, PVD를 기본으로 하는 증착 방법인 스퍼터링 방법, 콜리메이터 스퍼터링 방법, IPVD (SIP) 방법 및 IPVD (IMP) 방법으로 각각 형성된 TiN막들에서는 압축 응력을 나타내는 반면, TiCl₄를 전구체로 사용하는 CVD 및 ALD 방법으로 각각 형성된 TiN막들에서는 10¹⁰ 오더(order)의 높은 인장 응력을 나타내는 것을 알 수 있다.

<55> 상기 결과로부터, CVD 또는 ALD 방법으로 TiN막을 50 nm 이상의 두께로 형성할 때 상기 TiN막 및 그 주위의 층간절연막에 발생하는 크랙은 상기 TiN막의 높은 인장 응력에 기인하는 것으로 판단된다. 본 발명에 따른 콘택 플러그 형성 방법에서는 콘택 플러그를 TiN으로 구성하기 위하여 TiN 플러그를 형성하는 데 있어서 TiN 플러그의 주위에 압축 응력이 높은 TiN 라이너를 형성하므로, 콘택 플러그 내에서 전체적으로 응력을 감소시킬 수 있다. 이와 같이, 압축 응력을 가지는 TiN막 및 인장 응력을 가지는 TiN막을 복합적으로 사용함으로써, TiN으로 이루어지는 콘택 플러그를 형성하였을 때 상기 콘택 플러그

를 스텝 커버리지 좋게 형성하기 위하여 CVD 또는 ALD 방법에 의하여 형성된 TiN막을 형성하는 경우에도 그 두께에 관계 없이 TiN막 및 그 주위의 중간절연막에서 크랙이 발생되는 것을 방지할 수 있다.

<56> 특히, IPVD 방법에 의하여 형성되는 TiN막은 압축 응력을 가질 뿐 만 아니라 그 결정 구조가 비정질 결정 구조를 나타낸다. 이와 같이 비정질 결정 구조를 가지는 TiN막 위에 CVD 또는 ALD 방법으로 형성되는 TiN막은 하지막의 비정질 결정 구조에 의하여 그 미세 구조 및 결정 방향이 바뀌게 된다. 이와 같이 하지막의 결정 구조에 의해 영향을 받아 형성된 TiN막은 크랙 방지 효과가 더욱 뛰어나다는 것을 실험 및 SEM(scanning electron microscope) 사진을 이용한 관찰을 통하여 확인하였다.

<57> 상기 실시예들에서는 압축 응력을 가지는 TiN 라이너를 1층만 형성한 후 그 위에 인장 응력을 가지는 TiN 플러그를 형성하여 본 발명에 따른 콘택 플러그를 형성하는 경우에 대하여만 설명하였으나, 본 발명은 이에 한정되지 않는다. 즉, 압축 응력을 가지는 TiN 라이너 형성 공정 및 인장 응력을 가지는 TiN막 형성 공정을 반복적으로 복수 회 행하는 멀티 스텝 공정으로 TiN 플러그를 형성하여 압축 응력을 가지는 TiN막과 인장 응력을 가지는 TiN막이 교대로 중첩되도록 함으로써 본 발명에 따른 콘택 플러그를 형성하는 것도 가능하다.

【발명의 효과】

<58> 본 발명에 의하면, TiN으로 이루어지는 콘택 플러그를 형성하기 위하여, 오믹층을 형성한 후, 압축 응력을 가지는 상기 TiN 라이너를 미리 형성하고, 그 위에 스텝 커버리지가 우수한 증착 방법으로 인장 응력을 가지는 TiN 플러그를 형성한다. 따라서, 콘택 플러그 형성을 위한 증착시 전체적으로 응력이 감소되는 효과가 있다. 특히, 상기 TiN

라이너를 IPVD 방법으로 형성한 경우에는 상기 TiN 라이너가 비정질 결정 구조를 가지게 되고, 그로 인해 그 위에 증착되는 TiN막의 미세 구조 및 결정 방향이 바뀌게 된다. 따라서, 인장 응력이 큰 TiN막을 형성하여도 그 두께에 관계 없이 상기 TiN막 및 그 주위의 충전절연막에서 크랙이 발생하는 것을 더욱 효과적으로 방지할 수 있다.

<59> 이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형이 가능하다.

【특허청구범위】**【청구항 1】**

하부 도전층과 상부 도전층을 전기적으로 연결시키기 위하여 이들 사이에 개재된 절연막을 관통하여 형성되고,

상기 상부 도전층에 접하는 상면을 가지고, 인장 응력(tensile stress)을 가지는 TiN 플러그와,

상기 TiN 플러그의 측벽 및 저면에서 상기 TiN 플러그를 포위하도록 상기 TiN 플러그에 접해있고, 압축 응력(compressive stress)을 가지는 TiN 라이너와,

상기 TiN 플러그의 반대측에서 상기 TiN 라이너와 접해 있고, 상기 TiN 라이너와 상기 절연막 사이, 및 상기 TiN 라이너와 상기 하부 도전층 사이에 위치되는 Ti 오믹층을 포함하는 것을 특징으로 하는 반도체 소자의 콘택 플러그.

【청구항 2】

제1항에 있어서, 상기 TiN 플러그는 CVD(chemical vapor deposition), ALD(atomic layer deposition), MOCVD(metal organic CVD), 또는 MOALD(metal organic ALD) 방법으로 형성된 TiN막으로 이루어지는 것을 특징으로 하는 반도체 소자의 콘택 플러그.

【청구항 3】

제1항에 있어서, 상기 TiN 라이너는 IPVD(ionized physical vapor deposition), MOCVD, MOALD, 스퍼터링, 또는 콜리메이터 스퍼터링(collimator sputtering) 방법으로 형성된 TiN막으로 이루어지는 것을 특징으로 하는 반도체 소자의 콘택 플러그.

【청구항 4】

제1항에 있어서, 상기 TiN 라이너는 비정질 결정 구조를 가지는 것을 특징으로 하는 반도체 소자의 콘택 플러그.

【청구항 5】

제4항에 있어서, 상기 TiN 라이너는 IPVD 방법으로 형성된 TiN막으로 이루어지는 것을 특징으로 하는 반도체 소자의 콘택 플러그.

【청구항 6】

제1항에 있어서, 상기 TiN 플러그는 상기 TiN 라이너에 접해 있는 저면을 가지고, 상기 TiN 플러그의 상면은 상기 저면의 폭 보다 더 큰 폭을 가지는 것을 특징으로 하는 반도체 소자의 콘택 플러그.

【청구항 7】

제1항에 있어서, 상기 상부 도전층은 W, Al, Pt, Ru, Ir 등의 금속, TiN, TaN, WN 등의 전도성 금속 질화물, 또는 RuO₂, IrO₂ 등의 전도성 금속 산화물로 이루어지는 단일 막, 또는 이들의 복합막으로 이루어지는 것을 특징으로 하는 반도체 소자의 콘택 플러그.

【청구항 8】

제1항에 있어서, 상기 상부 도전층은 커패시터의 하부 전극을 구성하는 것을 특징으로 하는 반도체 소자의 콘택 플러그.

【청구항 9】

반도체 기판상에 형성된 절연막을 식각하여 상기 반도체 기판상의 도전 영역을 노출시키는 제9단계와,

상기 콘택홀의 내벽을 덮도록 상기 콘택홀이 형성된 결과물상에 오믹층(ohmic layer)을 형성하는 단계와,

상기 오믹층 위에 압축 응력을 가지는 TiN 라이너를 형성하는 단계와,

상기 콘택홀이 완전히 채워지도록 상기 TiN 라이너 위에 인장 응력을 가지는 TiN 플러그를 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성 방법.

【청구항 10】

제9항에 있어서, 상기 오믹층은 PECVD(plasma enhanced CVD), 콜리메이터 스퍼터링, IPVD, 또는 PVD 방법에 의하여 형성된 Ti막으로 이루어지는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성 방법.

【청구항 11】

제9항에 있어서, 상기 TiN 라이너 형성 단계는 IPVD, MOCVD, MOALD, 스퍼터링, 또는 콜리메이터 스퍼터링 방법에 의하여 행하는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성 방법.

【청구항 12】

제9항에 있어서, 상기 TiN 라이너는 비정질 결정 구조를 가지는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성 방법.

【청구항 13】

제12항에 있어서, 상기 TiN 라이너 형성 단계는 IPVD 방법에 의하여 행하는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성 방법.

【청구항 14】

제9항에 있어서, 상기 TiN 플러그를 형성하는 단계는

상기 콘택홀을 완전히 채우도록 상기 TiN 라이너 위에 인장 응력을 가지는 TiN막을 형성하는 단계와,

상기 절연막 패턴이 노출되도록 상기 TiN막이 형성된 결과물을 평탄화하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성 방법.

【청구항 15】

제14항에 있어서, 상기 TiN막 형성 단계는 CVD, ALD, MOCVD, 또는 MOALD 방법에 의하여 행하는 것을 특징으로 하는 반도체 소자의 콘택 플러그 형성 방법.

【청구항 16】

제9항에 있어서, 상기 콘택홀은 상기 콘택홀에서 상기 도전 영역이 노출되는 저부의 폭과 상기 콘택홀의 입구의 폭이 실질적으로 동일한 치수를 가지는 것을 특징으로 하는 반도체 소자의 콘택 형성 방법.

【청구항 17】

제9항에 있어서, 상기 콘택홀은 상기 콘택홀에서 상기 도전 영역이 노출되는 저부의 폭보다 상기 콘택홀의 입구의 폭이 더 큰 치수를 가지는 것을 특징으로 하는 반도체 소자의 콘택 형성 방법.

**【청구항 18】**

제17항에 있어서, 상기 절연막 패턴 형성 단계는

상기 도전 영역을 노출시키도록 상기 절연막을 이방성 식각하여 제1 폭의 입구를 가지는 제1 홀을 한정하는 제1 절연막 패턴을 형성하는 단계와,

상기 제1 절연막 패턴중 상기 제1 홀의 입구 근방 부분을 등방성 식각하여 상기 제1 폭보다 큰 제2 폭의 입구를 가지는 상기 콘택홀을 한정하는 제2 절연막 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 콘택 형성 방법.

【청구항 19】

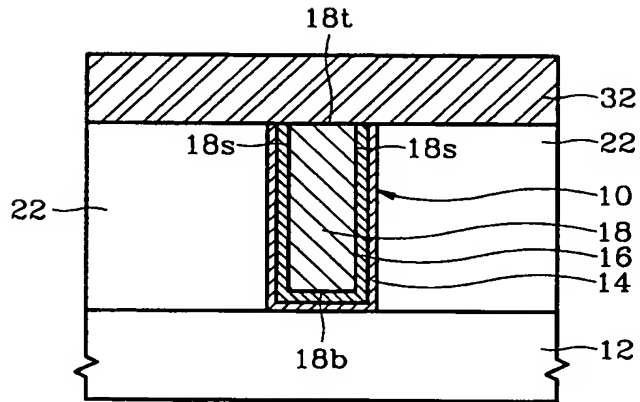
제18항에 있어서, 상기 절연막 패턴을 등방성 식각하는 단계는 건식 식각 또는 습식 식각 방법에 의하여 행하는 것을 특징으로 하는 반도체 소자의 콘택 형성 방법.

【청구항 20】

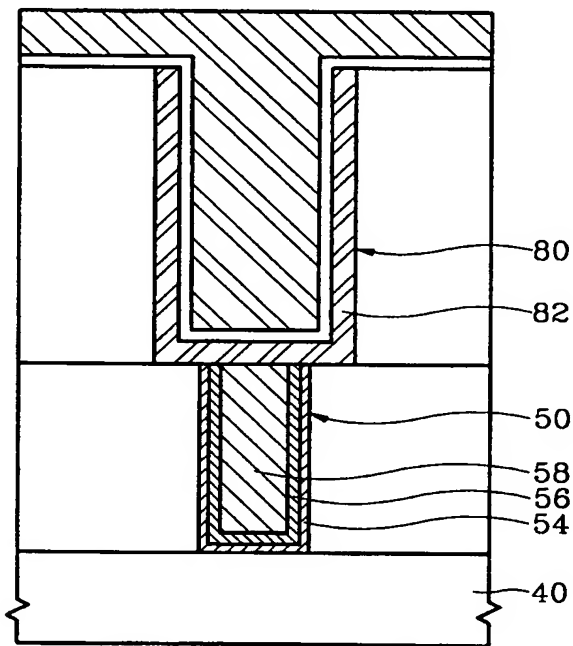
제9항에 있어서, 상기 TiN 라이너 및 TiN 플러그는 각각 MOCVD 또는 MOALD 방법으로 형성되는 것을 특징으로 하는 반도체 소자의 콘택 형성 방법.

【도면】

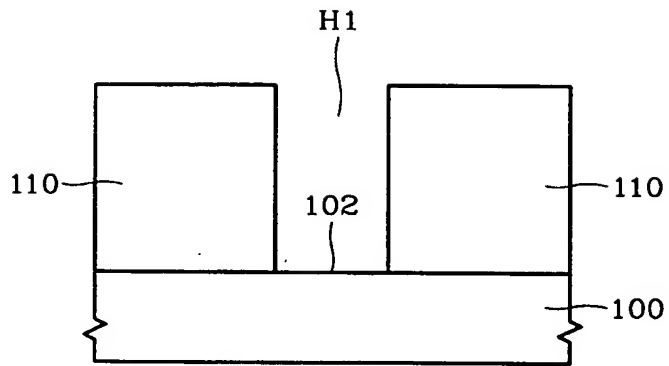
【도 1】



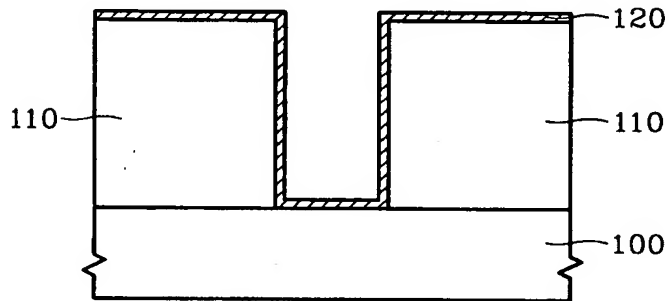
【도 2】



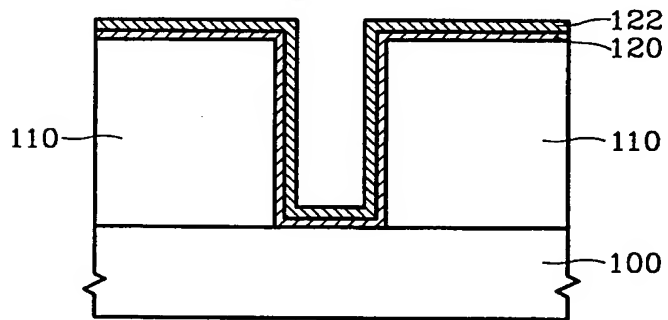
【도 3a】



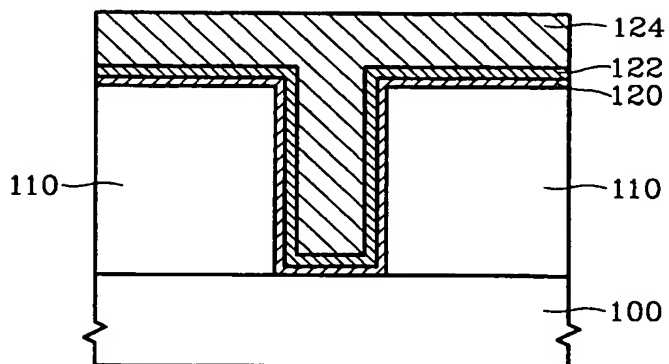
【도 3b】



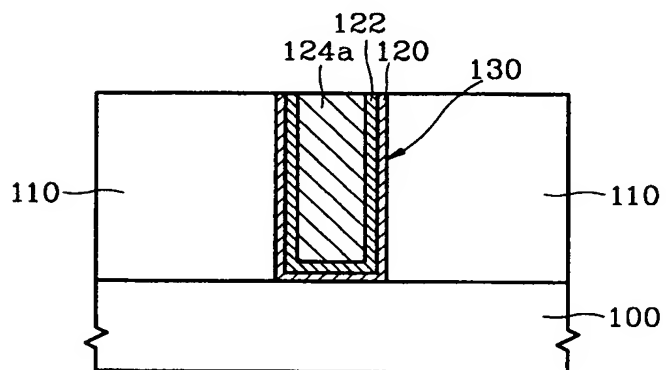
【도 3c】



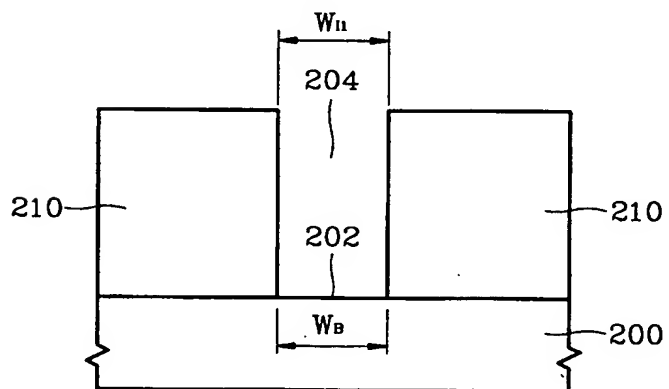
【도 3d】



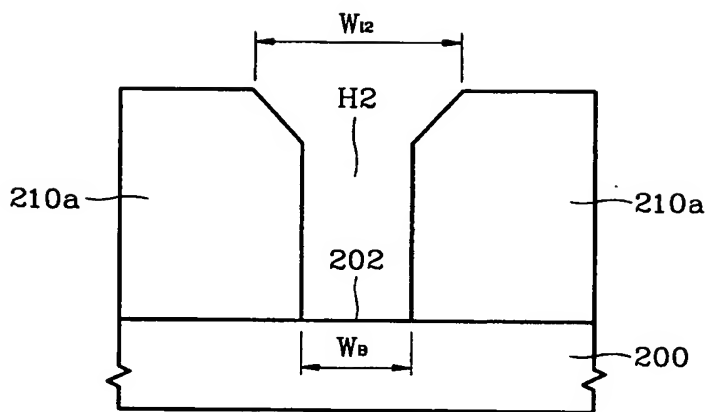
【도 3e】



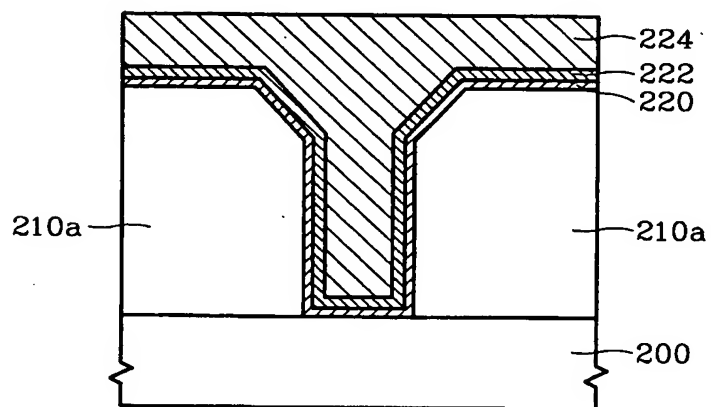
【도 4a】



【도 4b】



【도 4c】



【도 4d】

